

PUB-NO: DE004215467A1

DOCUMENT-IDENTIFIER: DE 4215467 A1

TITLE: Integration of two semiconductor chips inside standard outline package - uses solder bumps on both dice which are bonded face-to-face in lead-on-chip configuration to lead frame

PUBN-DATE: November 12, 1992

INVENTOR-INFORMATION:

NAME	COUNTRY
CHUN, HEUNG SUP	KR

INT-CL (IPC): H01L023/28, H01L023/50

EUR-CL (EPC): H01L023/495 ; H01L023/495

US-CL-CURRENT: 257/686, 257/696 , 257/E23.039 , 257/E23.052

ABSTRACT:

CHG DATE=19990617 STATUS=O>The multi-chip package consists of an upper and a lower semiconductor chip and a leadframe, whereby both chips are electrically connected with lead frame fingers. The chips feature solder-bumps, pref. solder-balls, consisting of an Pb-Sn alloy with, pref. a m.pt. higher than the cure temp. of the epoxy moulding cpd. used to encapsulate the device, on the bond pads and attachment to the lead fingers is by soldering. The solder-bumps are pref. located on the 2 chips along the same longitudinal line and pref. alternating between upper and lower die. Also claimed is orientation of the bumps on lower and upper chip along 2 parallel longitudinal lines and bond pads from upper and lower chips being bonded alternatingly to the lead frame fingers forming 2 comb patterns which are offset from each other by half the pitch between adjacent fingers or with butting lead fingers. An assembly process flow is also claimed. USE/ADVANTAGE - The process eliminates the wire bonding process, which allows the height above the chips to be reduced and which reduces electrical noise and cross-coupling. The process allows 2 chips to be

**BEST AVAILABLE COPY**

bonded simultaneously inside a single package, reducing the amount of work required and increasing the density of the device without increasing the package dimensions. Suitable package outlines are Quad flat-pack (QFP), Thin Small Outline Package (TSOP), other SOP and SOJ packages and Mini Square package (MSP).



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑩ **Offenlegungsschrift**  
**DE 42 15 467 A 1**

⑤1 Int. Cl.<sup>5</sup>:  
**H 01 L 23/50**  
H 01 L 23/28

②1 Aktenzeichen: P 42 15 467.7  
②2 Anmeldetag: 11. 5. 92  
④3 Offenlegungstag: 12. 11. 92

DE 42 15 467 A 1

③0 Unionspriorität: ③2 ③3 ③1  
11.05.91 KR 7632/91

⑦1 Anmelder:  
Goldstar Electron Co., Ltd., Cheongju, KR

⑦4 Vertreter:  
Bardehle, H., Dipl.-Ing.; Dost, W., Dipl.-Chem.  
Dr.rer.nat.; Altenburg, U., Dipl.-Phys., Pat.-Anwälte;  
Geißler, B., Dipl.-Phys.Dr.jur., Pat.- u. Rechtsanwälte;  
Rost, J., Dipl.-Ing.; Bonnekamp, H.,  
Dipl.-Ing.Dipl.-Wirtsch.-Ing.Dr.-Ing., Pat.-Anwälte;  
Pagenberg, J., Dr.jur.; Frohwitter, B., Dipl.-Ing.,  
Rechtsanwälte, 8000 München

⑦2 Erfinder:  
Chun, Heung Sup, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Multi-Chip-Halbleiterpackungen und Verfahren zur Herstellung solcher Packungen

⑤7 Multi-Chip-Halbleiterpackung und ein Verfahren zur Herstellung einer solchen Packung. Die Packung beinhaltet eine Vielzahl innerer Leitungen eines Leitungsrahmens, untere und obere Halbleiterchips, welche elektrisch mit einer unteren und oberen Oberfläche der inneren Leitungen jeweils verbunden sind. Das obere und unter Chip hat jeweils eine Vielzahl von Kunstleitungen, die jeweils eine auf ihnen ausgebildete Lötstelle haben. Die Lötstelle ist mit jeder inneren Leitung durch eine Lötstelle verbunden, wodurch das obere und untere Chip jeweils elektrisch mit der inneren Leitung verbunden ist. Das Verfahren beinhaltet die folgenden Schritte: Ausbilden von Polyimidschichten an gegenüberliegenden Seiten von Oberflächen der Halbleiterchips, Ausbilden von Lötstellen an Kunstleitungen der Halbleiterchips nach Positionieren von inneren Leitungen bezüglich der Lötstellen, damit sie in einer Richtung angeordnet sind, Verbinden der inneren Leitungen mit den Lötstellen und nach Überlagern eines umgedrehten Chips auf ein anderes Chip, Durchführen einer Umhüllung aus Epoxid an den Chips, um zu verursachen, daß die Chips miteinander verbunden werden. Die vorliegende Erfindung liefert eine Multi-Chip-Halbleiterpackung mit den Vorteilen einer verbesserten Schaltkreisintegration und einer dadurch verursachten gewünschten Dicke einer zu erzielenden Packung.

DE 42 15 467 A 1

## Beschreibung

Die vorliegende Erfindung bezieht sich im allgemeinen auf eine Multi-Chip-Halbleiterpackung und ein Verfahren zur Herstellung einer solchen Packung. Insbesondere bezieht sich die vorliegende Erfindung auf eine Multi-Chip Halbleiterpackung und auf ein Verfahren zur Herstellung einer solchen Packung, bei dem Halbleiterchips an oberen und unteren Oberflächen einer Vielzahl innerer Leitungen eines Leitungsrahmens ohne Paddel jeweils befestigt werden, und zwar durch Löten ohne einen zusätzlichen Drahtbondierungsprozeß, wodurch die Dicke von Packungen verringert wird aufgrund einer erhöhten Integration des Elements und auch der Herstellungsprozeß davon vereinfacht wird und die Herstellungskosten verringert werden.

In letzter Zeit hat es in Übereinstimmung mit Integrationserfordernissen in den Halbleitertechniken mehrere Anstrengungen gegeben zur Einschließung von so vielen Chips in einem begrenzten Raum wie möglich. Zum Beispiel wurden Multi-Chip-Halbleiterpackungen in weitem Umfang verwendet, bei denen verschiedene Typen von Speicherchips in einem Speichermodul eingeschlossen sind, wodurch eine Verpackung vom Huckepacktyp bereitgestellt wird.

Die in dem obigen Typ der Multi-Chip-Halbleiterpackung verwendeten bekannten Halbleiterchips haben im allgemeinen Funktionen zum Adressieren in einer Z-Richtung anstatt eines RAS (row address strobe) in dem Speichermodul oder ein Platinenniveau entsprechend einem Verfahren, wie zum Beispiel einem SOP (small outline package), einem SOJ (small outline J-lead package) oder einem TSOP (thin small outline package) jeweils in Abhängigkeit von den dazugehörenden Typen.

Ein repräsentatives Beispiel der bekannten Multi-Chip-Halbleiterpackung des Huckepacktyps wird im Detail in Verbindung mit den Fig. 1 und 2 wie folgt beschrieben:

Bezugnehmend auf Fig. 1, die eine Querschnittsansicht ist, welche eine Struktur einer Halbleiterpackung zeigt, vom bekannten Typ LOC (lead on chip)-SO (small outline J-lead), hat die Packung ein Halbleiterchip 1, das mit isolierenden Polyimidschichten 2 versehen ist, welche auf die oberen Oberflächen davon aufgebracht sind, damit jede eine vorbestimmte Dicke innerhalb der gesamten Länge und Breite davon hat. Das Chip 1 beinhaltet eine Vielzahl von Kunstleitungen 3, von denen jede elektrisch mit einem Ende von jeder inneren Leitung 4 eines Leitungsrahmens durch einen Draht 5 verbunden ist, wovon gegenüberliegende Enden mit der Kunstleitung 3 und der inneren Leitung 4 jeweils verbunden sind. Zusätzlich wird das Chip 1 durch einen Gießprozeß mit einer Epoxidharzschicht 6 überzogen, um einen vorbestimmten Bereich einschließlich der inneren Leitungen 4 abzudecken.

Nach der Vorbereitung von Halbleiterpackungen mit dem oben erwähnten Aufbau ist eine der Halbleiterpackungen als eine obere Packung p' auf eine andere Halbleiterpackung p' mit dem gleichen Aufbau wie dem der oberen Verpackung p'' zu überlagern, worauf sie elektrisch miteinander verbunden werden durch Verbindung einer äußeren Leitung 4' der oberen Verpackung p' mit einer äußeren Leitung 4' der unteren Verpackung p'', wodurch eine Multi-Chip-Halbleiterpackung p des Huckepacktyps bereitgestellt wird. Die bekannte Multi-Chip-Halbleiterpackung p kann in einem Speichermodul oder in einem Platinenniveau durch ein her-

kömmliches Installationsverfahren installiert werden.

Um jedoch den Prozeß zur Herstellung der bekannten Multi-Chip-Halbleiterpackung p zu erzielen, sollte die obere Packung p'' der unteren Packung p' überlagert werden, wobei die Packungen p' und p'' getrennt hergestellt worden sind, und elektrisch damit verbunden werden durch Verbinden der äußeren Leitungen 4 und 4' der Packungen p' und p'' miteinander, wie oben beschrieben. Weiterhin muß die Multi-Chip-Packung p gezwungenermaßen eine substantielle Dicke haben aufgrund einer Drahtschleifenhöhe jeder Packung p', p'', welche während dem Drahtbondierungsprozeß auftritt und auch aufgrund der Dicke der Epoxidharzschicht 5 jeder Packung p', p''. Somit hat die bekannte Multi-Chip Halbleiterpackung p die Nachteile, daß sie nicht eine gewünschte Dicke davon erzielen kann, und daß sie einen im wesentlichen komplexen Prozeß zu ihrer Herstellung benötigt. Das heißt, jede Packung p', p'' wird zuvor getrennt bereitgestellt, woraufhin eine von ihnen umgedreht der anderen überlagert wird, um eine Multi-Chip-Packung p zu ergeben. Zusätzlich hat die bekannte Multi-Chip-Packung p zwei Leitungsrahmen und Leitungsdrähte 5, die Anzahl der Leitungsdrähte 5 ist zweimal diejenige der Leitungsrahmen, wodurch notwendigerweise die Anzahl der benötigten Elemente erhöht wird. Dementsprechend hat die bekannte Multi-Chip Halbleiterpackung einen anderen Nachteil, indem sie notwendigerweise die Herstellungskosten aufgrund der benötigten Elemente erhöht.

Die bekannte Multi-Chip-Halbleiterpackung benötigt notwendigerweise Leitungsdrähte, was zur Erzeugung von Rauschen führt und eine Verstärkungsgeschwindigkeit im wesentlichen verlangsamt.

Daher ist es eine Aufgabe der vorliegenden Erfindung, eine Multi-Chip Halbleiterpackung und ein Verfahren zur Herstellung einer solchen Packung bereitzustellen, bei dem die obigen Nachteile überwunden werden können.

Es ist eine andere Aufgabe der vorliegenden Erfindung, eine Multi-Chip-Halbleiterpackung und ein Verfahren zur Herstellung einer solchen Packung bereitzustellen, in der obere und untere Halbleiter-Chips mit oberen und unteren Oberflächen innerer Leitungen eines Leitungsrahmens jeweils durch Löten verbunden werden, wodurch die Integration verbessert wird und dadurch eine gewünschte Dicke der Multi-Chip-Packung erzielt wird.

Es ist weiterhin ein anderes Ziel der vorliegenden Erfindung, eine Multi-Chip-Halbleiterpackung und ein Verfahren zur Herstellung einer solchen Packung bereitzustellen, bei dem ein herkömmlicher Drahtbondierungsprozeß und ein herkömmlicher Gußprozeß ausgelassen werden können, wodurch ein Rauschen verringert wird, eine Verstärkungsgeschwindigkeit erhöht wird, die Herstellungskosten verringert werden, und der Herstellungsprozeß vereinfacht wird.

Gemäß einem Aspekt, liefert die vorliegende Erfindung eine Multi-Chip-Halbleiterpackung einschließlich einer Vielzahl innerer Leitungen eines Leitungsrahmens und obere und untere Halbleiter-Chips, die elektrisch mit oberen und unteren Flächen der Leitungen jeweils verbunden sind, wobei die oberen und unteren Chips jeweils eine Vielzahl von Kunstleitungen mit einer darauf ausgebildeten Lötstelle haben, wobei die Lötstelle mit der inneren Leitung durch Lötung verbunden wird, um zu verursachen, daß die oberen und unteren Chips mit der inneren Leitung durch eine Lötung verbunden wird, um zu verursachen, daß die oberen und unteren Chips

mit der inneren Leitung elektrisch verbunden werden.

Gemäß einem anderen Aspekt liefert die vorliegende Erfindung ein Verfahren zur Herstellung einer Multi-Chip-Halbleiterpackung einschließlich der folgenden Schritte: Ausbilden von Polyimidschichten an gegenüberliegenden Seiten einer Oberfläche jedes Halbleiterchips, Ausbilden von Lötstellen an Kunstleitungen des Halbleiterchips, nach Anordnen innerer Leitungen bezüglich der Lötstellen, so daß sie jeweils in einer Richtung angeordnet sind, Verbinden der inneren Leitungen mit den Lötstellen und, nachdem ein nach den obigen Schritten verarbeiteter umgedrehter Chip auf ein anderes nach den obigen Schritten verarbeitetes Chip überlagert wurde, Durchführen einer Umhüllung der Chips aus Epoxid, damit erreicht wird, daß die Chips miteinander verbunden sind.

Gemäß einem noch weiteren Aspekt liefert die vorliegende Erfindung ein Verfahren zur Herstellung einer Multi-Chip-Halbleiterpackung einschließlich der folgenden Schritte: Ausbilden von Polyimidschichten auf gegenüberliegenden Seiten der Oberflächen von jeweils oberen und unteren Halbleiter Chips, Ausbilden von Lötstellen an Kunstleitungen des Halbleiter-Chips, Anordnen innerer Leitungen bezüglich der Lötstellen des unteren Chips, so daß sie in entgegengesetzter Richtung angeordnet sind, Überlagern eines umgedrehten oberen Chips auf obere Oberflächen der inneren Leitungen des unteren Chips, Erwärmen der inneren Leitungen und der oberen und unteren Chips in einem Rückflußofen, damit man die inneren Leitungen und die Chips miteinander zu der gleichen Zeit verbindet, danach Durchführen einer Umhüllung der Chips mit Epoxidharz.

Die obigen und andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung ergeben sich deutlicher aus der folgenden genauen Beschreibung in Verbindung mit der begleitenden Zeichnung.

Fig. 1 ist eine Querschnittsansicht, die einen Aufbau einer Halbleiterpackung gemäß dem Stand der Technik zeigt;

Fig. 2 ist eine Querschnittsansicht, die einen Aufbau einer bekannten Multi-Chip-Halbleiterpackung zeigt, die Packungen von Fig. 1 aufweist;

Fig. 3 ist eine Fig. 1 entsprechende Ansicht, zeigt aber die vorliegende Erfindung;

Fig. 4 ist eine Querschnittsansicht, die ein Ausführungsbeispiel eines Prozesses zeigt, zum Herstellen einer Multi-Chip-Halbleiterpackung gemäß der vorliegenden Erfindung.

Fig. 5A und 5B sind Querschnittsansichten, welche jeweils entlang der Schnittlinien A-A und B-B von Fig. 4 aufgenommen sind;

Fig. 6 ist eine Fig. 4 entsprechende Ansicht, zeigt aber ein anderes Ausführungsbeispiel;

Fig. 7A und 7B sind Querschnittsansichten, die jeweils entlang der Linie C-C und D-D von Fig. 6 aufgenommen wurden;

Fig. 8 ist eine ebene Ansicht, die ein Ausführungsbeispiel der Kunstleitungsposition der Multi-Chip-Halbleiterpackung gemäß der vorliegenden Erfindung zeigt;

Fig. 9A und 9B sind jeweils eine ebene Ansicht und eine Querschnittsansicht, die jeweils ein anderes Ausführungsbeispiel der Kunstleitungsposition der Multi-Chip-Halbleiterpackung gemäß der vorliegenden Erfindung zeigt.

Fig. 10 ist eine Fig. 8 entsprechende Ansicht, zeigt aber ein noch weiteres Ausführungsbeispiel der Kunstleitungsposition gemäß der vorliegenden Erfindung.

Mit Bezug auf Fig. 3, die einen Aufbau einer Halblei-

terpackung gemäß der vorliegenden Erfindung vom LOC-COL-(lead on chip-on lead)-SOJ-Typ zeigt, enthält die Packung ein Paar von Polyimidschichten 12, die an gegenüberliegenden Oberflächen der oberen Seite eines unteren Halbleiter-Chips 11 aufgebracht sind, um eine Isolierschicht mit einer vorbestimmten Dicke bereitzustellen. Das untere Chip 11 hat eine Vielzahl von longitudinal angeordneten Kunstleitungen 13, auf deren jeder eine untere Lötstelle 14 bereitgestellt ist. Jede untere Lötstelle 14 ist mit einem Ende einer inneren Leitung 15 eines Leitungsrahmens durch Löten verbunden, insbesondere durch Rückflußlöten, wobei erreicht wird, daß das untere Chip 11 elektrisch mit den inneren Leitungen 15 verbunden wird. Zusätzlich ist ein oberes Halbleiter-Chip 11' umgedreht und den oberen Oberflächen der inneren Leitungen 15 überlagert. Hier enthält das obere Chip 11' ein Paar von Polyimidschichten 12', die jeweils an gegenüberliegenden Oberflächen der unteren Seite davon aufgebracht sind und eine Vielzahl von Kunstleitungen 13' auf deren jeder eine obere Lötstelle 14' bereitgestellt ist. Jede obere Lötstelle 14' ist mit einer entsprechenden inneren Leitung 15 durch eine Lötung verbunden, wodurch erreicht wird, daß das obere Chip 11 elektrisch mit den inneren Leitungen 15 verbunden wird. Die Multi-Chip-Halbleiterpackung einschließlich der oberen und unteren Chips 11' und 11, die elektrisch mit den inneren Leitungen 15 verbunden sind, wird dann durch eine Umhüllungs-Epoxidharzschicht 16 durch einen Gußprozeß abgedeckt, so daß ein vorbestimmter Bereich der Verpackung, welcher das untere und obere Halbleiter-Chip 11 und 11' und einen Teil jeder inneren Leitung 15 abdeckt, beschichtet wird.

Wie oben beschrieben wird in der Multi-Chip Halbleiterpackung die elektrische Verbindung zwischen den inneren Leitungen 15 und den unteren und oberen Halbleiterchips 11 und 11' durch eine Lötung erreicht, wie z. B. Rückflußlöten, wodurch die Integration der Packung wesentlich verbessert wird. Zusätzlich gestattet es die Multi-Chip-Packung dieser Erfindung, daß während der Herstellung ein herkömmlicher Drahtbondierungsprozeß ausgelassen wird, wodurch eine gewünschte Dicke davon verbessert wird, das Rauschen verringert wird, die Verstärkungsgeschwindigkeit erhöht wird, und der Herstellungsprozeß davon erleichtert und vereinfacht wird.

Beim Herstellen der Multi-Chip-Halbleiterpackung dieser Erfindung werden Flip-Chip-Lötverfahren verwendet, wobei ein Chip umgekehrt auf eine Schaltkreislamine gelötet wird. Diese Lötverfahren werden im folgenden im Detail beschrieben.

Die Verfahren zum Herstellen der Multi-Chip Halbleiterpackung dieser Erfindung werden allgemein in zwei Typen klassifiziert, das heißt einem ersten Verfahren, wobei ein SIP (single inline package) verwendet wird und einem zweiten Verfahren, wobei eine Zweileitungsleitung verwendet wird.

Das erste Verfahren oder ein SIP-Verfahren wird zuerst in Verbindung mit den Fig. 4, 5A, 5B und 8 beschrieben. Bei diesem Verfahren sind die Kunstleitungen 13 und 13' des unteren und oberen Chips 11 und 11' so angeordnet, daß sie entlang einer longitudinalen Linie, wie in Fig. 8 gezeigt, angeordnet sind.

In Fig. 4, 5A, 5B und 8 bedeuten die Markierungen "O", "X" und "•" jeweils Positionen der Kunstleitungen 13 des oberen Chips 11', Positionen der Kunstleitungen 13 des unteren Chips 11 und Positionen gemeinsamer Kunstleitungen 17. Mit Bezug auf die Zeichnungen werden beide Seiten der oberen und unteren Oberflächen

der Chips 11 und 11' zuerst jeweils mit den Polyimidschichten 12 und 12' auf ihnen versehen (Schritt 1). Die Lötstellen 14 und 14' werden dann an den Kunstleitungen 13 und 13' der Chips 11 und 11' ausgebildet (Schritt 2). Daraufhin werden nach Positionierung der Enden der inneren Leitungen 15 an den jeweiligen Lötstellen 14 und 14' damit sie gleichförmig entlang der longitudinalen Linie angeordnet sind, die inneren Leitungen 15 mit den Lötstellen 14 und 14' durch ein Löten verlötet (Schritt 3). Daraufhin wird ein Halbleiterchip als das obere Chip 11' verkehrt herum einem anderen Halbleiter Chip als dem unteren Chip 11 überlagert, woraufhin sie mit einem Umhüllungs-Epoxidüberzug versehen werden, um sie miteinander zu verbinden (Schritt 4), wodurch die Herstellung der Multi-Chip-Packung dieser Erfindung erzielt wird.

Um die Lötstellen 14 und 14' der Kunstleitungen 13 und 13' der Chips 11 und 11' bereitzustellen, werden die Chips 11 und 11' mit einer Cr/Cu/ Au-Schicht während einer Chip-Kunstleitungsmetallisierung versehen, woraufhin sie mit Pb-Sn-Legierungen oder irgendwelchen anderen Lötmasselegierungen überzogen werden, deren Schmelztemperatur höher ist als die Epoxidhärttemperatur, und zwar durch einen Verdampfungs- und Zerstäubungsprozeß oder einen Galvanisierungsprozeß. Daraufhin werden die Chips 11 und 11', nachdem sie mit der Cr/Cu/Au-Schicht und den Lötmittelelegierungsüberzügen versehen worden sind, zeitweilig auf eine vorbestimmte Temperatur erwärmt, die höher ist als eine Lötmittelschmelztemperatur, um Lötstellen 14 und 14' vom Kugeltyp an den Kunstleitungen 13 und 13' mittels der Oberflächenspannung der geschmolzenen Legierungen zu bilden.

Danach werden die inneren Leitungen 15 so an den Lötstellen 14 und 14' der Chips 11 und 11' angeordnet, daß die Enden der Leitungen 15 an den Lötstellen 14 und 14' jeweils in einer Richtung zum Liegen kommen. Daraufhin werden die Chips 11 und 11' in einem Rückflußofen erwärmt, um zu verursachen, daß die inneren Leitungen 15 mit den Lötstellen 14 und 14' verbunden werden. Dann wird ein Chip als das obere Chip 11' umgedreht und einem anderen Chip als dem unteren Chip 11 überlagert. Die Chips 11 und 11' werden dann mit dem Umhüllungs-Epoxidharz überzogen, um die zwei Chips miteinander zu verbinden, woraufhin die Chips 11 und 11' mit dem Epoxidüberzug einem herkömmlichen Entgratungs/Ausbildungsprozeß unterworfen werden, wodurch die Herstellung der Multi-Chip Halbleiterpackung gemäß der Erfindung, wie in Fig. 3 gezeigt, beendet wird.

Andererseits wird das zweite Verfahren, wobei die Zweigeleitung verwendet wird, in Zusammenhang mit den Fig. 6, 7A und 7B beschrieben. Wie in den Zeichnungen beschrieben, werden beide Seiten der oberen und unteren Oberflächen der Chips 11 und 11' zuerst mit den Polyimidschichten 12 und 12' darauf versehen (Schritt 1). Auf die gleiche Art und Weise wie die in dem obigen ersten Verfahren beschriebene werden dann die Lötstellen 14 und 14' auf den Kunstleitungen 13 und 13' der Chips 11 und 11' (Schritt 2) ausgebildet, und zwar danach, nach Positionieren jeden Endes der inneren Leitung 15 an einer entsprechenden Lötstelle 14 des unteren Chips 11, um in entgegengesetzten Richtungen angeordnet zu sein (Schritt 3'). Daraufhin wird das obere Chip 11' zu den Leitungen 15 des unteren Chips 11. Die Chips 11 und 11' werden dann erwärmt durch einen Rückflußofen, um zu verursachen, daß die inneren Leitungen 15 und die Chips 11 und 11' miteinander zu der

gleichen Zeit verbunden werden daraufhin werden die Chips 11 und 11' mit einem Umhüllungsepoxydharz überzogen (Schritt 4'). Das Ergebnis der Chips 11 und 11' mit dem Umhüllungsepoxydüberzug wird einem Ausbildungs/Entgratungsprozeß unterworfen, wodurch die Herstellung der Packung dieser Erfindung erzielt wird, wie in Fig. 3 gezeigt.

In Fig. 6 ist eine innere Leitung 15 gezeigt, und zwar verbunden mit der Lötstelle 14' des oberen Chips 11', wie durch die gestrichelten Linien dargestellt, die innere Leitung 15' kann jedoch vorzugsweise ausgelassen werden, um den Herstellungsprozeß zu vereinfachen.

Zu diesem Zeitpunkt kann die Packung mit den gemeinsamen Kunstleitungen 17 versehen werden, wie bei der Markierung "O".

Andererseits, falls es zu einem Überfließen der Lötmassen 14 und 14' kommt, wie zum Beispiel aufgrund von Intervallen zwischen den benachbarten inneren Leitungen 15 des Leitungsrahmens während dem Ausbilden der Lötstellen 14 und 14', werden die Kunstleitungen 13 und 13' der Chips 11 und 11' ausgebildet als Anordnung entlang zweier longitudinaler Linien, wie in den Fig. 9 und 10 jeweils dargestellt, um einen leitungsabstand zwischen den inneren Leitungen 15 zu vergrößern, wodurch das Auftreten eines Überfließens im wesentlichen beseitigt wird.

Mit anderen Worten werden zwei Typen von Kunstleitungen 13 und 13' der Chips 11 und 11' ausgebildet, so daß sie alternierend zickzackförmig wie in den Fig. 9A und 9B gezeigt, angeordnet sind, danach mit den Lötstellen 14 und 14' versehen werden, die jeweils darauf ausgebildet werden, oder die Kunstleitungen 13 und 13' werden parallel zueinander ausgebildet, wobei sie einander wie in Fig. 10 gezeigt, gegenüberstehen.

In der obigen Beschreibung wurde die Packung vom SOJ-Typ als ein bevorzugtes Ausführungsbeispiel beschrieben. Dennoch kann die vorliegende Erfindung für verschiedene Packungstypen neben der Packung vom SOJ-Typ verwendet werden, wie zum Beispiel dem SOP-(small outline package)-Typ, dem MSP-(mini square package)-Typ und dem QFP (quad flat package)-Typ von Packungen, bei denen eines der Halbleiter-Chips 11 und 11' dem anderen überlagert werden kann und es auch möglich ist, ein Löten durchzuführen.

Wie oben beschrieben, liefert die vorliegende Erfindung eine Multi-Chip-Halbleiterpackung und ein Verfahren zum Herstellen der Packung, bei dem obere und untere Halbleiter-Chips an die inneren Leitungen eines Rahmens gelötet werden, um sie miteinander zu verbinden, wodurch die Vorteile entstehen, daß eine Schaltungskreisintegration verbessert wird und man dadurch die gewünschte Dicke der zu erzielenden Packung hat. Weiterhin liefert die vorliegende Erfindung einen anderen Vorteil der Herstellung einer Verpackung, in dem man zwei Halbleiter Chips verwendet, wodurch die Herstellungskosten verringert werden, und der Herstellungsprozeß wesentlich vereinfacht wird, aufgrund der abnehmenden Anzahl von benötigten Elementen.

Obwohl die bevorzugten Ausführungsbeispiele der vorliegenden Erfindung zum Zwecke der Darstellung offenbart worden sind, wird es der Fachmann zu schätzen wissen, daß verschiedene Abwandlungen, Hinzufügungen und Ersetzungen möglich sind, ohne daß man von dem Umfang und dem Geiste der Erfindung, wie sie in den begleitenden Ansprüchen offenbart ist, abweicht.

## Patentansprüche

1. Multi-Chip-Halbleiter-Packung mit einer Vielzahl innerer Leitungen eines Leitungsrahmens; unteren und oberen Halbleiterchips, die elektrisch mit oberen und unteren Oberflächen der inneren Leitungen jeweils verbunden sind, wobei die oberen und unteren Chips jeweils eine Vielzahl von Kunstleitungen haben, die jeweils eine auf ihnen ausgebildete Lötstelle haben, wobei die Lötstelle mit jeder der inneren Leitungen durch ein Löten verbunden ist, um zu verursachen, daß das obere und das untere Chip elektrisch mit der inneren Leitung verbunden ist. 5
2. Multi-Chip Halbleiterpackung, wobei die Lötstellen aus einer Pb-Sn-Legierung oder irgendeiner anderen Lötmasselegierung sind, deren Schmelztemperatur höher ist als die Epoxidaushärttemperatur. 15
3. Multi-Chip-Halbleiterpackung nach Anspruch 2, wobei jede der Lötstellen eine Kugelform hat. 20
4. Multi-Chip-Halbleiterpackung nach Anspruch 1, wobei die Kunstleitungen des oberen und unteren Chips entlang einer longitudinalen gemeinsamen Linie der oberen und unteren Chips jeweils angeordnet sind und auf ihnen ausgebildete Lötstellen haben. 25
5. Multi-Chip-Halbleiterpackung nach Anspruch 4, wobei die Kunstleitungen des oberen und unteren Chips alternierend entlang der longitudinalen gemeinsamen Linie angeordnet sind. 30
6. Multi-Chip-Halbleiterpackung nach Anspruch 1, wobei die Kunstleitungen der oberen und unteren Chips entlang zweier longitudinaler Linien der oberen und unteren Chips jeweils angeordnet sind und auf ihnen ausgebildete Lötstellen haben. 35
7. Multi-Chip-Halbleiterpackung nach Anspruch 6, wobei die Kunstleitungen der oberen und unteren Chips alternierend zick-zackförmig angeordnet sind und auf ihnen ausgebildete Lötstellen haben. 40
8. Multi-Chip-Halbleiterpackung nach Anspruch 6, wobei die Kunstleitungen der oberen und unteren Chips so angeordnet sind, daß sie parallel zueinander sind und auf ihnen ausgebildete Lötstellen haben. 45
9. Multi-Chip-Halbleiterpackung nach Anspruch 4 oder 6, wobei die Packung zwei oder mehrere gemeinsame Kunstleitungen aufweist. 50
10. Verfahren zur Herstellung einer Multi-Chip-Halbleiterpackung, welches die folgenden Schritte aufweist: Ausbilden von Polyimidschichten an gegenüberliegenden Seiten einer Oberfläche von jedem Halbleiterchip, Ausbilden von Lötstellen an Kunstleitungen des Halbleiterchips nach Positionieren innerer Leitungen bezüglich der Lötstellen, damit sie in eine Richtung angeordnet sind, Verbinden der inneren Leitungen mit den Lötstellen, und nach Überlagern eines umgedrehten Chips über ein anderes Chip, wobei die Chips nach den obigen Schritten verarbeitet worden sind, Durchführung eines Umhüllungs-Epoxidüberzugs an diesen Chips, um zu verursachen, daß die Chips miteinander verbunden werden. 55
11. Verfahren nach Anspruch 10, wobei auf das Chip eine Cr/Cu/Au-Schicht während einer Chip-Kunstleitungsmetallisierung aufgebracht wird, worauf es mit Pb-Sn-Legierungen beschichtet wird, woraufhin es zeitweilig auf eine bestimmte Tempe-

ratur erwärmt wird, um die Lötstellen auf den daraufliegenden Kunstleitungen auszubilden.

12. Verfahren zur Herstellung einer Multi-Chip-Halbleiterpackung, das die folgenden Schritte aufweist:

Ausbilden von Polyimidschichten jeweils an gegenüberliegenden Seiten von Oberflächen von oberen und unteren Halbleiterchips,

Ausbilden von Kunstleitungen der Halbleiter-Chips,

Anordnen innerer Leitungen bezüglich der Lötstellen der unteren Chips, so daß sie in entgegengesetzten Richtungen angeordnet sind,

Überlagern eines umgedrehten oberen Chips auf obere Oberflächen der inneren Leitungen des unteren Chips, Erwärmen der inneren Leitungen und der oberen und unteren Chips in einem Rückflußofen, um zu verursachen, daß die inneren Leitungen und die Chips zur gleichen Zeit miteinander verbunden werden, woraufhin ein Umhüllungs-Epoxidüberzug an den Chips durchgeführt wird.

13. Verfahren nach Anspruch 12, wobei das obere Chip keine innere Leitung hat.

14. Verfahren nach Anspruch 12, wobei der Umhüllungs-Epoxidüberzug durch Spritzgießen durchgeführt wird.

---

Hierzu 8 Seite(n) Zeichnungen

---

— Leerseite —



FIG.3

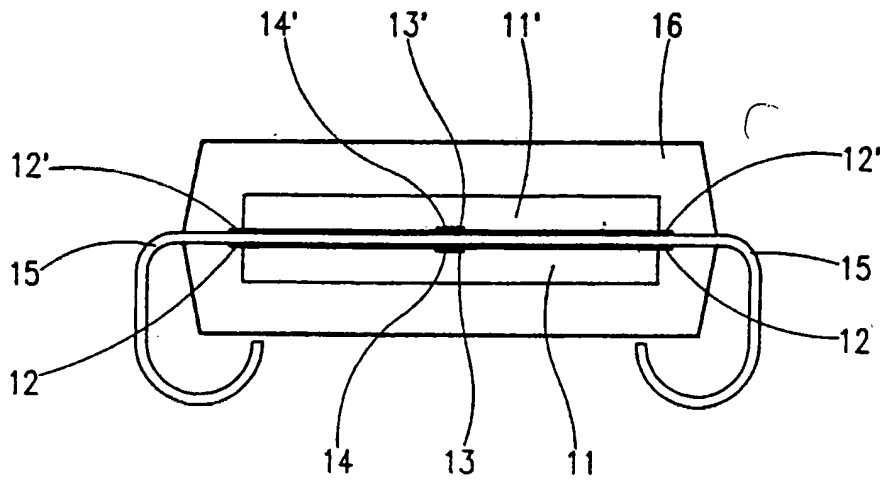
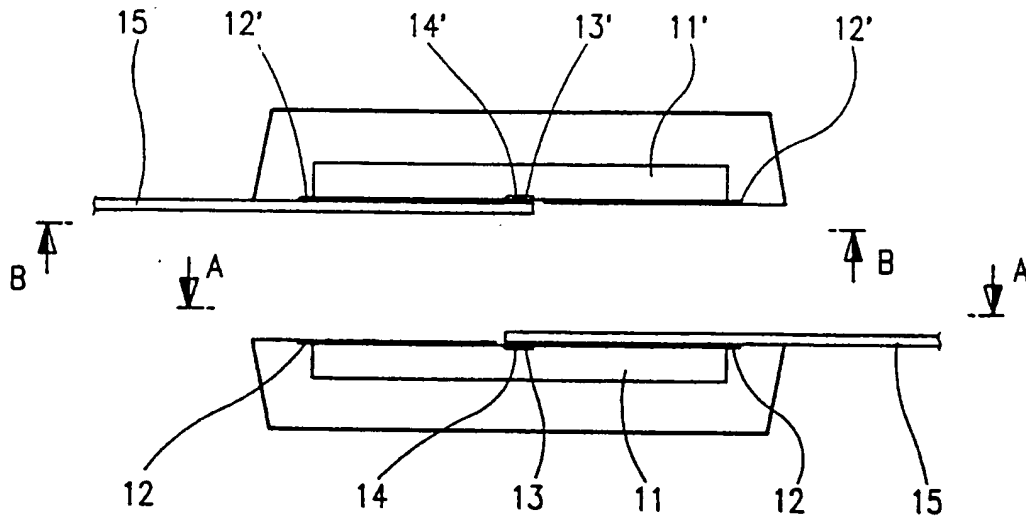
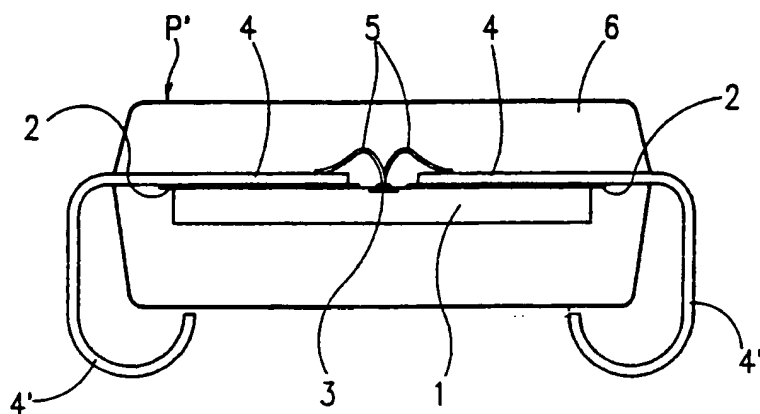


FIG.4



**FIG. 1**

Stand der Technik



**FIG. 2**

Stand der Technik

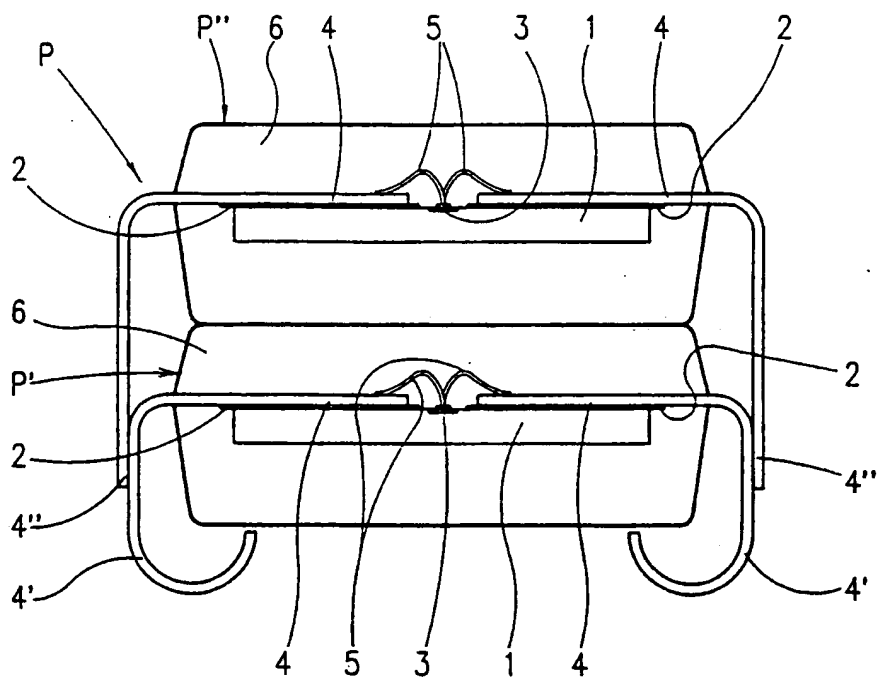


FIG. 5A

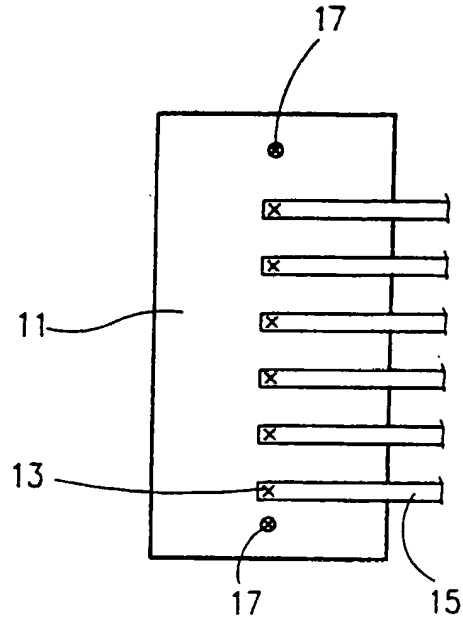


FIG. 5B

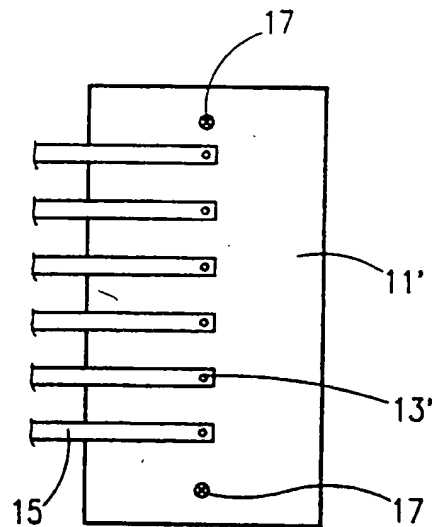


FIG. 6

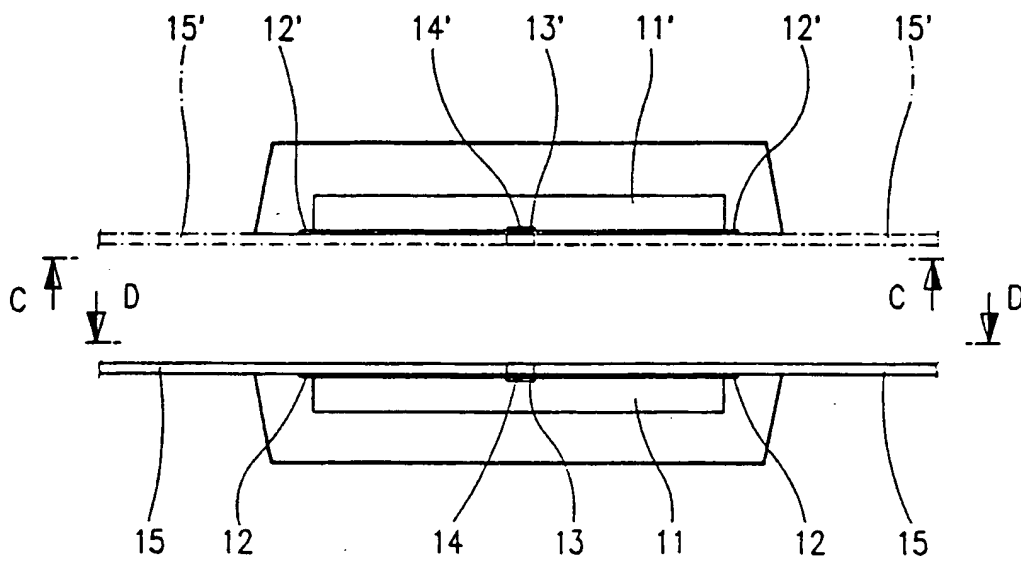


FIG. 7A

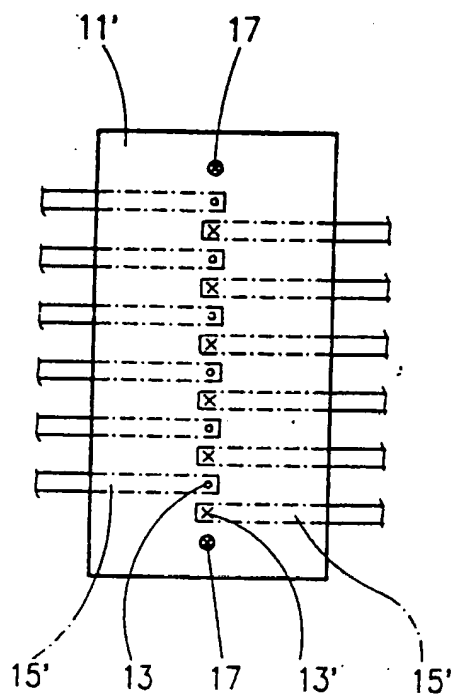
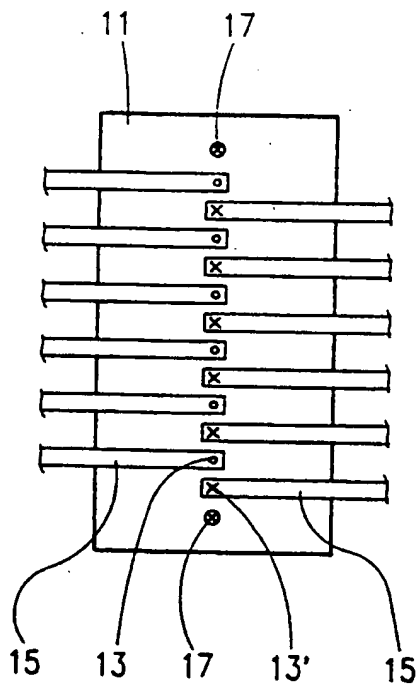


FIG. 7B



**FIG. 8**

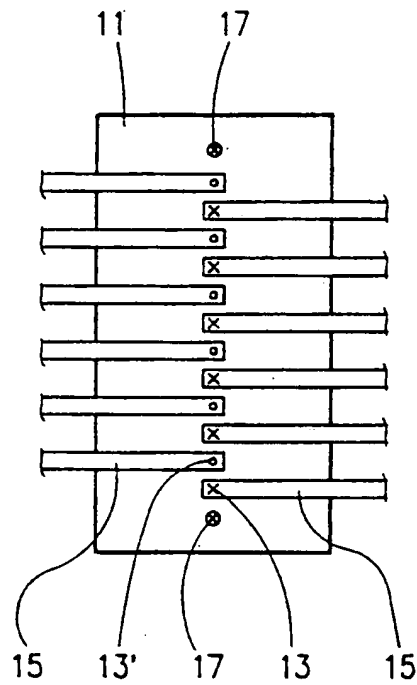


FIG. 9A

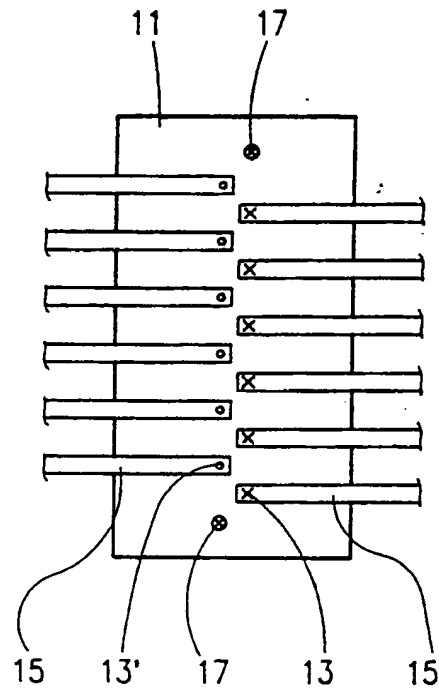


FIG. 9B

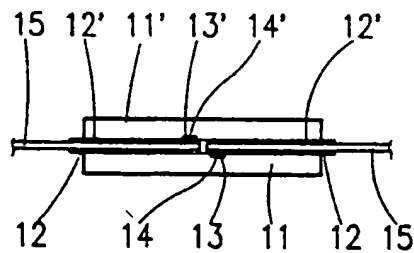
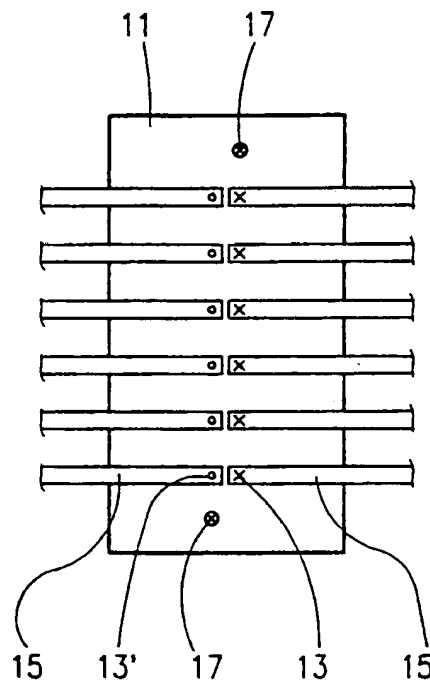


FIG. 10





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**